

⑪ 公開特許公報 (A) 平3-38622

⑫ Int. Cl. 5

G 02 F 1/1333
1/1343
1/136

識別記号

5 0 0
5 0 0

府内整理番号

7610-2H
7610-2H
9018-2H

⑬ 公開 平成3年(1991)2月19日

審査請求 未請求 請求項の数 2 (全8頁)

⑭ 発明の名称 アクティブマトリクス基板

⑮ 特願 平1-174825

⑯ 出願 平1(1989)7月5日

⑰ 発明者 片山 幹雄 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内⑰ 発明者 音琴 秀則 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内⑰ 発明者 加藤 博章 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内⑰ 発明者 今矢 明彦 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑰ 出願人 シャープ株式会社

⑯ 代理人 弁理士 山本 秀策

最終頁に続く

明細書

(産業上の利用分野)

1. 発明の名称

アクティブマトリクス基板

2. 特許請求の範囲

1. 絶縁性基板上に、マトリクス状に配された
絵素電極と、該絵素電極間に並行する走査線と、
を備えたアクティブマトリクス基板であって、

該走査線が、不連続に形成された下部走査線と、
該下部走査線を波瀾し、連続して形成された上部
走査線と、を有するアクティブマトリクス基板。

2. 絶縁性基板上に、マトリクス状に配された
絵素電極と、該絵素電極に対向する付加容量用電
極と、該付加容量用電極に接続された付加容量用
配線と、を備えたアクティブマトリクス基板であ
って、

該付加容量用配線が、不連続に形成された下部
容量用配線と、該下部容量用配線を波瀾し、連続
して形成された上部容量用配線と、を有するアク
ティブマトリクス基板。

3. 発明の詳細な説明

本発明は、液晶等の表示媒体と組み合わせて表
示装置を構成するための、アクティブマトリクス
基板に関する。

(従来の技術)

絶縁性基板上に絵素電極をマトリクス状に配し、
絵素電極を独立して駆動するアクティブマトリク
ス方式は、液晶などを用いた表示装置に用いられ
ている。アクティブマトリクス方式は、特に大型
で高密度の表示を行う表示装置にしばしば用いられ
れる。

絵素電極を選択駆動するスイッチング素子とし
ては、TFT (薄膜トランジスタ) 素子、MIM
(金属-絶縁層-金属) 素子、MOSトランジス
タ素子、ダイオード、バリスタ等が一般的に知ら
れている。アクティブマトリクス駆動方式は、高
コントラストの表示が可能であり、液晶テレビ
ジョン、ワードプロセッサ、コンピュータの端末表
示装置等に実用化されている。

第3図にTFTをスイッチング素子として用い

た、アクティブマトリクス表示装置の概略の回路図を示す。走査線として機能する多數の平行するゲートバス配線23と、該配線23に直交し信号線として機能するソースバス配線11との交差位置近傍に、TFT22が配されている。TFT22には絵素電極9が接続され、絵素電極9と対向電極13との間に絵素21、絵素電極9と付加容量用電極32との間に付加容量24が形成されている。付加容量用電極32は、付加容量用配線31に接続されている。

第4図に従来のアクティブマトリクス基板の平面図を示す。第5図及び第6図に、それぞれ第4図のV-V線及びVI-VI線に沿ったアクティブマトリクス表示装置の断面図を示す。ガラス基板1上に平行するゲートバス配線23が形成され、該配線23に直交してソースバス配線11が形成されている。ゲートバス配線23及びソースバス配線11との間には、後述するゲート絶縁膜5が介在している。

ゲートバス配線23及びソースバス配線11の

500Åの2層から成る。下部ゲート配線2及び下部容量用配線29は同時にパターン形成され得る。下部ゲート配線2及び下部容量用配線29には、低抵抗のMo金属、Al金属等が用いられる。

上部ゲート配線3及び上部容量用配線30には陽極酸化膜の形成が可能なTa金属が用いられている。Mo金属、或いはAl金属は、後のTFT22の形成時のエッチャントである弗酸等に対して耐食性が低いので、上部ゲート配線3は下部ゲート配線2を保護するために、該配線2を完全に被覆して形成されている。同様に、上部容量用配線30は下部容量用配線29を完全に被覆して形成されている。

上述のようにゲートバス配線23及び付加容量用配線31を2層構造とし、下部ゲート配線2及び下部容量用配線29にMo金属又はAl金属を用いることにより、これらの配線23及び31の比抵抗が低減される。これにより、表示装置の大型化に伴うこれらの配線23及び31上の信号遅

交点近傍には、スイッチング素子としてTFT22が配されている。TFT22のゲート電極26はゲートバス配線23に接続され、TFT22のソース電極27はソースバス配線11に接続されている。TFT22のドレイン電極28は絵素電極9に接続されている。

絵素電極9のゲートバス配線23側とは反対側の辺に沿って、付加容量用配線31が平行して設けられている。付加容量用配線31には付加容量用電極32が接続され、付加容量用電極32はゲート絶縁膜5を介して絵素電極9と対向している。付加容量用電極32と絵素電極9との間に付加容量24が形成されている。

ゲートバス配線23、付加容量24、及び付加容量用配線31の断面構成について、第5図を参照しながら説明する。ゲートバス配線23は下部ゲート配線2(層厚2000Å)及び上部ゲート配線3(層厚2500Å)の2層から成る。同様に付加容量用配線31は下部容量用配線29(層厚2000Å)及び上部容量用配線30(層厚2

500Å)の2層から成る。下部ゲート配線2及び下部容量用配線29は同時にパターン形成され得る。下部ゲート配線2及び下部容量用配線29には、低抵抗のMo金属、Al金属等が用いられる。

上部容量用配線30は、絵素電極9の一辺に平行する部分では絵素電極9の下方に延び、付加容量用電極32を形成している。従って、付加容量用電極32もTaで形成されている。上部ゲート配線3、上部容量用配線30、及び付加容量用電極32は同時にパターン形成され得る。

上部ゲート配線3、上部容量用配線30、及び付加容量用電極32の上には、該配線3、30及び該電極32の上面を陽極酸化して得られるTa₂O₅の陽極酸化膜4(層厚3000Å)が形成されている。陽極酸化膜4を覆って全面に、SiNx(窒化シリコン)のゲート絶縁膜5(層厚3000Å)が形成されている。ゲート絶縁膜5上にはITOから成る絵素電極9(層厚1000Å)が形成されている。絵素電極9とゲート絶縁膜5を介して対向している付加容量用電極32との間に、

付加容量24が形成されている。更に、基板全面にS1Nxの保護膜16(層厚3000Å)、及び配向膜17が積層され、アクティブマトリクス基板が構成される。

基板1に対向するガラス基板12上には、カラーフィルタ14及びブラックストライプ15が設けられ、更にITOの対向電極13及び配向膜17が全面に形成され、アクティブマトリクス表示装置が構成される。

TFT22近傍の断面構成について、第6図を参照しながら説明する。前述の上部ゲート配線3と同時に形成されたTa金属のゲート電極26上に、陽極酸化膜4が形成されている。陽極酸化膜4上を覆って全面に、ゲート絶縁膜5が形成されている。ゲート電極26上にはゲート絶縁膜5を介して、真性半導体非晶質シリコン(以下では「a-Si(1)」と称する)の半導体層6(層厚1000Å)が形成されている。更に、半導体層6上にはn型半導体非晶質シリコン(以下では「a-Si(n*)」と称する)のコンタクト層7、

容量用配線30、陽極酸化膜4、並びにゲート絶縁膜5に発生したピンホール等に起因している。下部ゲート配線2及び下部容量用配線29に用いられるMo金属或いはAl金属は、TFT22形成時のエッチャントに対して耐食性が低いため、このようなピンホールがあると容易に漫食されてしまうのである。このような漫食は、ゲートバス配線23及び付加容量用配線31に沿い、長い距離に亘って発生する。従って、このような漫食は、ゲートバス配線23及び付加容量用配線31の抵抗増大、断線、剥離等の発生につながる。更には、ソースバス配線11の断線、剥離等の発生にもつながることになる。

本発明はこのような問題点を解決するものであり、本発明の目的は、エッチャング工程に於いて、抵抗増大、断線、或いは剥離等の発生が少ない、低抵抗の走査線を有するアクティブマトリクス基板を提供することである。本発明の他の目的は、エッチャング工程に於いても、抵抗増大、断線、剥離等の発生が少ない、低抵抗の付加容量用配線を

7(層厚500Å)が形成されている。

コンタクト層7、7上にはTi金属層(層厚3000Å)から成るソース電極27及びドレイン電極28が形成されている。ドレイン電極28及びゲート絶縁膜5上には、ITOから成る絵素電極9(層厚1000Å)が形成されている。更に、基板全面を覆って、前述の保護膜16及び配向膜17が形成されている。

(発明が解決しようとする課題)

上述の例では、Mo金属又はAl金属から成る下部ゲート配線2及び下部容量用配線29の上に、Ta金属の上部ゲート配線3及び上部容量用配線30、陽極酸化膜4、並びにゲート絶縁膜5が形成された後、TFT22が弗酸等を用いたエッチャングによりパターン形成される。このように3層の膜が、下部ゲート配線2及び下部容量用配線29の上に形成されていても、TFT22の形成工程に於て下部ゲート配線2及び下部容量用配線29が漫食され、消失する場合がある。

このような漫食は、上部ゲート配線3及び上部

有するアクティブマトリクス基板を提供することである。

(課題を解決するための手段)

本発明のアクティブマトリクス基板は、絶縁性基板上に、マトリクス状に配された絵素電極と、該絵素電極間に並行する走査線と、を備えたアクティブマトリクス基板であって、該走査線が、不連続に形成された下部走査線と、該下部走査線を被覆し、連続して形成された上部走査線と、を有しており、そのことによって上記目的が達成される。

更に、本発明のアクティブマトリクス基板は、絶縁性基板上に、マトリクス状に配された絵素電極と、該絵素電極に對向する付加容量用電極と、該付加容量用電極に接続された付加容量用配線と、を備えたアクティブマトリクス基板であって、該付加容量用配線が、不連続に形成された下部容量用配線と、該下部容量用配線を被覆し、連続して形成された上部容量用配線と、を有しており、そのことによって上記目的が達成される。

(作用)

本発明のアクティブマトリクス基板では、走査線は不連続に形成された下部走査線と、この下部走査線を被覆する連続した上部走査線とを有している。このように、下部走査線は同一走査線内で不連続に形成されているので、上部走査線、或いは更にその上に積層された層にピンホールが発生しても、後のエッチングによって、下部走査線が長い距離に亘って浸食されることはない。即ち、下部走査線の浸食は、不連続に形成された1つの島状の領域のみに発生し、他の領域の下部走査線に波及することはない。

また、本発明のアクティブマトリクス基板では、付加容量用配線は不連続に形成された下部容量用配線と、この下部容量用配線を被覆する連続した上部容量用配線とを有している。このように、下部容量用配線は同一付加容量用配線内で不連続に形成されているので、上部容量用配線、或いは更にその上に積層された層にピンホールが発生しても、後のエッチングによって、下部容量用配線が

極9に接続されている。

絵素電極9のゲートバス配線23側とは反対側の辺に沿って、付加容量用配線31が平行して設けられている。付加容量用配線31には付加容量用電極32が接続され、該付加容量用電極32はゲート絶縁膜5を介して絵素電極9と対向している。付加容量用電極32と絵素電極9との間に付加容量24が形成されている。

第2図に第1図のII-II'線に沿ったゲートバス配線23の断面構成を示す。第1図のII'-II'線に沿った付加容量用配線31の断面構成も、第2図と同様である。ゲートバス配線23及び付加容量用配線31の断面構成について、第2図を参照しながら説明する。

ガラス基板1上に下部ゲート配線2(層厚2000Å)及び下部容量用配線29(層厚2000Å)を形成した。この2つの配線2及び29は、後にソースバス配線11が交差する領域には形成されず、不連続な形状を有している。この上から、上部ゲート配線3(層厚2500Å)及び上部容

量用配線30(層厚2500Å)を形成した。この2つの配線3及び30は、連続した形状で形成されている。従って、ゲートバス配線23は、下部ゲート配線2及び上部ゲート配線3の2層から成る。同様に、付加容量用配線31は下部容量用配線29及び上部容量用配線30の2層から成る。第1図のII'-II'線に沿った断面図では、第2図に於ける下部ゲート配線2、上部ゲート配線3、及びゲートバス配線23に代えて、それぞれ下部容量用配線29、上部容量用配線30、及び付加容量用配線31が配される。下部ゲート配線2及び下部容量用配線29は同時にパターン形成される。

下部ゲート配線2及び下部容量用配線29には、ゲート配線23及び付加容量用配線31の比抵抗を低減するため、低抵抗のMo金属、Al金属等が用いられる。本実施例ではMo金属を用いた。このようにゲート配線23及び付加容量用配線31の比抵抗が低減されると、大型の表示装置にしばしば見られる信号遅延の発生が抑制される。

上部ゲート配線3及び上部容量用配線30には陽極酸化膜の形成が可能なTa金属が用いられている。上部ゲート配線3は下部ゲート配線2を保護するために、該配線2を完全に被覆して形成されている。同様に、上部容量用配線30は下部容量用配線29を完全に被覆して形成されている。上部ゲート配線3及び上部容量用配線30の形成と同時に、TFT22のゲート電極26、及び付加容量用電極32が形成される。従って、ゲート電極26及び付加容量用電極32はTaで形成される。

上部ゲート配線3、TFT22のゲート電極26、上部容量用配線30、及び付加容量用電極32の陽極酸化が同時に進行なわれ、 Ta_2O_5 の陽極酸化膜4(層厚3000Å)が形成される。更に、陽極酸化膜4を覆って全面に、 $SiNx$ のゲート絶縁膜5(層厚3000Å)が形成されている。

ゲート絶縁膜5上にはゲートバス配線23及び付加容量用配線31に交差して、ソースバス配線11が形成されている。ソースバス配線11はT

発生したピンホールの下方の下部ゲート配線2又は下部容量用配線29の島状の領域のみが浸食され、他の領域の下部ゲート配線2又は下部容量用配線29は浸食されない。従って、ゲート配線23又は付加容量用配線31の比抵抗が増大することもなく、大型の表示装置に於いても、信号遅延の問題も生じない。

(発明の効果)

本発明によれば、抵抗増大、断線、或いは剥離等の発生が少ない、低抵抗の走査線又は付加容量用配線を有するアクティブマトリクス基板が提供され得る。従って、本発明のアクティブマトリクス基板を用いれば、信号遅延のない表示装置を高い歩留りで製造することができ、表示装置の大型化、コスト低減に寄与することができる。

4. 図面の簡単な説明

第1図は本発明のアクティブマトリクス基板の一実施例を示す平面図、第2図は第1図のII-II線に沿った断面図、第3図はアクティブマトリクス表示装置の概略回路図、第4図は従来のアクテ

1金属層(層厚3000Å)で形成されている。更に、基板全面を覆って、前述の保護膜16及び配向膜17が堆積され、本実施例のアクティブマトリクス基板が得られる。

基板1に対向するガラス基板12上には、カラーフィルタ14(図示せず)及びブラックストライプ15が設けられる。更に、ITOの対向電極13及び配向膜17が全面に形成され、アクティブマトリクス表示装置が構成される。

第2図に示すように本実施例では、下部ゲート配線2及び下部容量用配線29は、それぞれソースバス配線11と交差しない領域のみに不連続に形成されている。もし、上部ゲート配線3又は上部容量用配線29、陽極酸化膜4、及びゲート絶縁膜5にピンホール等が発生していれば、後の例えばTFT22等の形成工程に於いて、下部ゲート配線2又は下部容量用配線29は、バターン形成に用いられるエッチャントによって浸食される。しかし、本実施例では下部ゲート配線2及び下部容量用配線29が不連続に形成されているので、

イブマトリクス基板の平面図、第5図は第4図のV-V線に沿った断面図、第6図は第4図のVI-VI線に沿った断面図である。

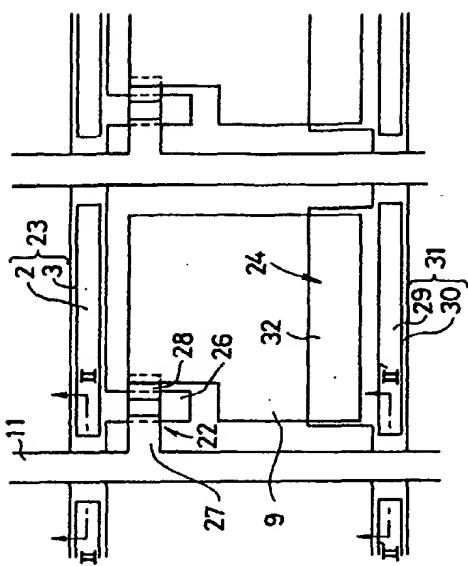
1…ガラス基板、2…下部ゲート配線、3…上部ゲート配線、4…陽極酸化膜、5…ゲート絶縁膜、9…給素電極、11…ソースバス配線、13…対向電極、14…カラーフィルタ、15…ブラックストライプ、16…保護膜、17…配向膜、22…TFT、23…ゲートバス配線、29…下部容量用配線、30…上部容量用配線、31…付加容量用配線、32…付加容量用電極。

以上

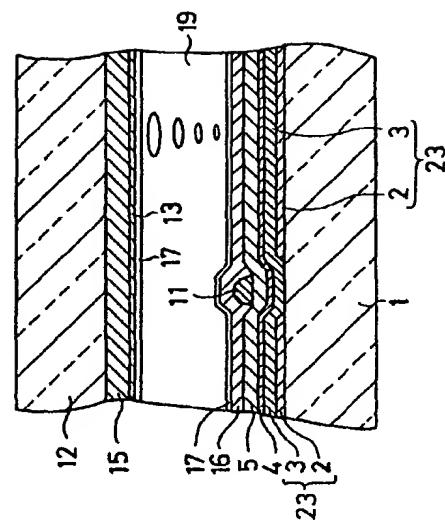
出願人 シャープ株式会社

代理人弁理士 山本秀策

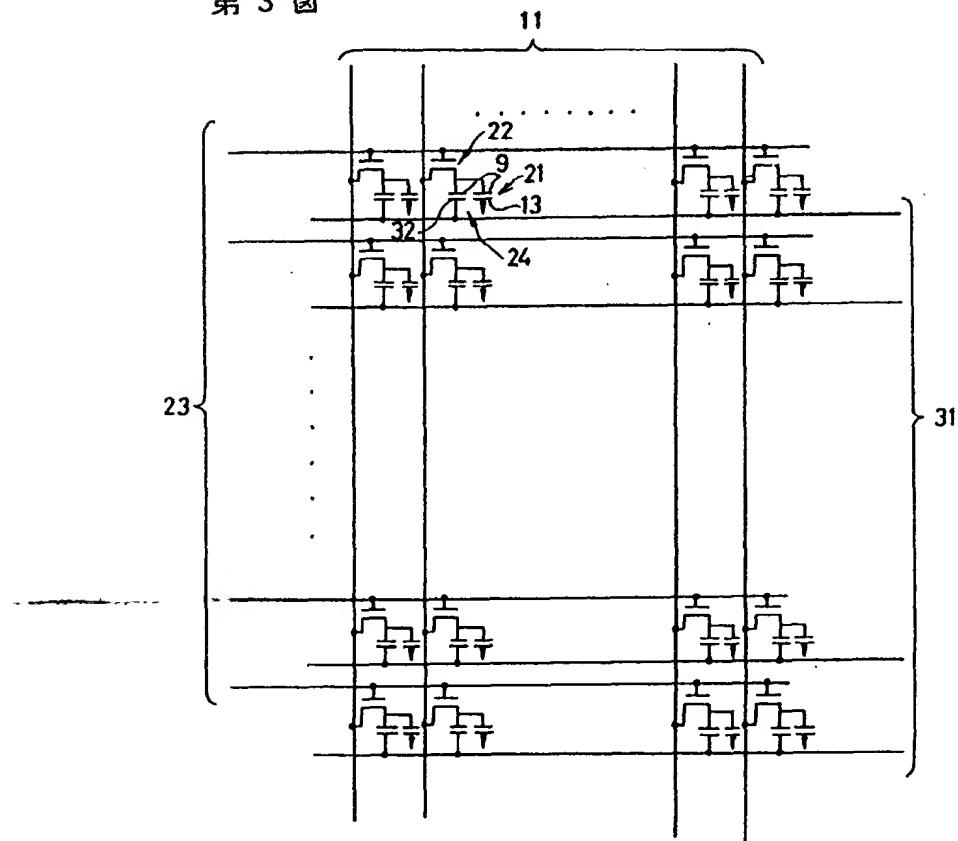
四
一
第



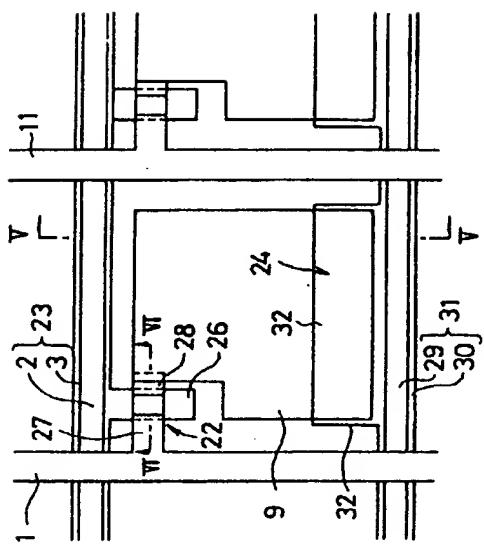
四
2
第



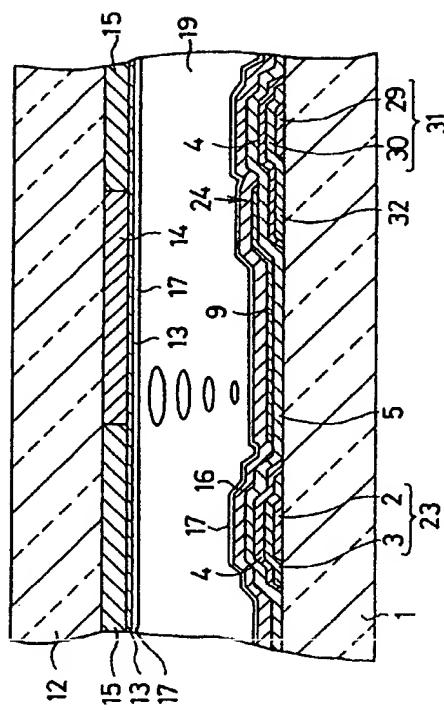
第3圖



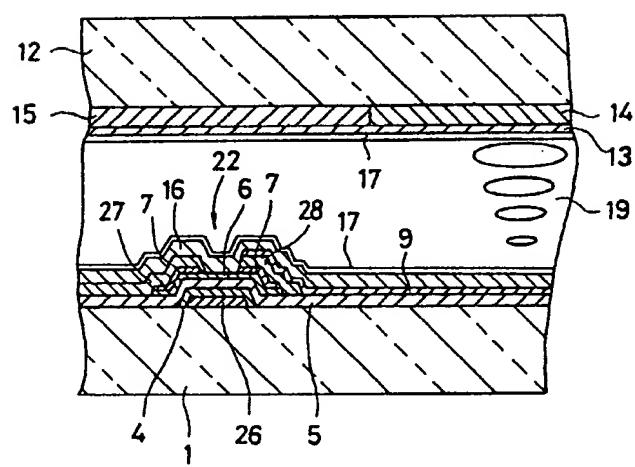
第四圖



5
第



第 6 圖



第1頁の続き

②発明者	金森	謙	大阪府大阪市阿倍野区長池町22番22号	シャープ株式会社 内
②発明者	中沢	清	大阪府大阪市阿倍野区長池町22番22号	シャープ株式会社 内